

**Family list**

2 family member for: **JP4172325**

Derived from 1 application

**1 ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY PANEL**

**Inventor:** ICHIMURA TERUHIKO; MATSUMOTO  
TOMOTAKA; (+3)

**EC:**

**Applicant:** FUJITSU LTD

**IPC:** G02F1/1345; G09F9/30; G02F1/13 (+3)

**Publication info:** JP3006074B2 B2 - 2000-02-07

**JP4172325 A** - 1992-06-19

---

Data supplied from the **esp@cenet** database - Worldwide

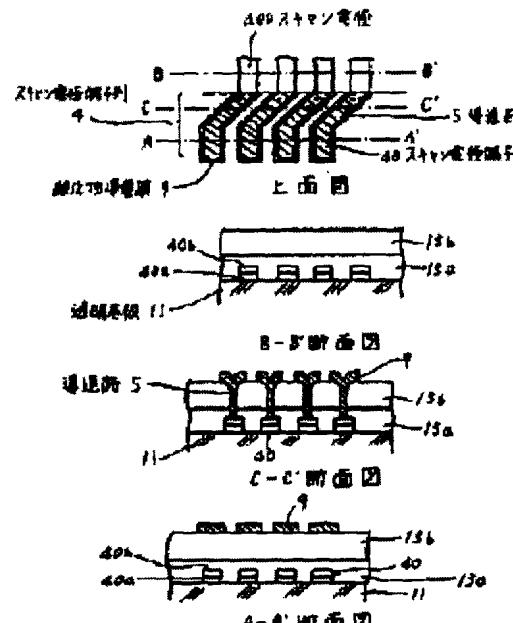
## ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY PANEL

**Patent number:** JP4172325  
**Publication date:** 1992-06-19  
**Inventor:** ICHIMURA TERUHIKO; MATSUMOTO TOMOTAKA;  
 NASU YASUHIRO; WATABE JUNICHI; WATANABE  
 KAZUHIRO  
**Applicant:** FUJITSU LTD  
**Classification:**  
 - **international:** G02F1/1345; G09F9/30; G02F1/13; G09F9/30; (IPC1-  
 7): G02F1/1345; G09F9/30  
 - **european:**  
**Application number:** JP19900299475 19901105  
**Priority number(s):** JP19900299475 19901105

[Report a data error here](#)

### Abstract of JP4172325

**PURPOSE:** To increase the strength of connection of each oxide conductive film to each terminal and decrease the connection resistance between them by forming oxide conductive films which are independent from each other through an insulation film on each scan electrode terminal of a scan electrode terminal row and by connecting the oxide conductive films to scan electrode terminals via conductive passes which penetrate the insulation film. **CONSTITUTION:** Oxide conductive films 9 which are independent from each other through an insulation film 13 are formed on each scan electrode terminal 40 of a scan electrode terminal row 4 of an active matrix substrate, and the oxide conductive films 9 and scan electrode terminals 40 are connected together by conductive passes 5 penetrating the insulation film 13. Since the scan electrode terminals 40, therefore, are also covered by the insulation film 13 and oxide conductive films 9, they can not be harmfully affected by oxidization caused by chemical dry etching. This increases the strength of the connection of flexible cables to external circuit and decreases the connection resistance.



②日本国特許庁(JP)

①特許出願公開

②公開特許公報(A)

平4-172325

③Int.Cl.<sup>5</sup>

G 02 F 1/1345  
G 09 F 9/30

識別記号

338

序内整理番号

9018-2K  
7926-5G

④公開 平成4年(1992)6月19日

審査請求 未請求 請求項の数 3 (全7頁)

⑤発明の名称 アクティブマトリクス型液晶表示パネル

⑥特 願 平2-299475

⑦出 願 平2(1990)11月5日

⑧発明者 市村 照彦 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑨発明者 松本 友孝 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑩発明者 那須 安宏 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑪発明者 渡部 純一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑫出願人 富士通株式会社

⑬代理人 弁理士 井桁 貞一

最終頁に続く

明細書

1. 発明の名称

アクティブマトリクス型液晶表示パネル

物導電膜(9)の溶融によって形成されてなることを特徴とした請求項①または②記載のアクティブマトリクス型液晶表示パネル。

2. 特許請求の範囲

(1) アクティブマトリクス基板(1)と共通電極基板(2)との間に形成された空間に液晶(3)を注入封止してなるアクティブマトリクス型液晶表示パネルにおいて、

前記アクティブマトリクス基板(1)のスキャン電極端子列(4)の各スキャン電極端子(40)の上に絶縁膜(13)を介してそれぞれ独立した酸化物導電膜(9)を形成し、該酸化物導電膜(9)と前記スキャン電極端子(40)とを前記絶縁膜(13)を貫通する導通路(5)により接続したことを特徴とするアクティブマトリクス型液晶表示パネル。

(2) 前記酸化物導電膜(9)がITO( $In_2O_3-SnO_2$ )膜であることを特徴した請求項(1)記載のアクティブマトリクス型液晶表示パネル。

(3) 前記導通路(5)がレーザ照射による前記酸化

3. 発明の詳細な説明

(概要)

アクティブマトリクス型液晶表示パネルに関し、駆動電極端子、とくに、スキャン電極端子と外部回路との接続を確実、安定にして信頼性を上げることを目的とし、

アクティブマトリクス基板と共通電極基板との間に形成された空間に液晶を注入封止してなるアクティブマトリクス型液晶表示パネルにおいて、前記アクティブマトリクス基板のスキャン電極端子列の各スキャン電極端子の上に絶縁膜を介してそれぞれ独立した酸化物導電膜を形成し、該酸化物導電膜と前記スキャン電極端子とを前記絶縁膜を貫通する導通路により接続してアクティブマトリクス型液晶表示パネルを構成する。

## 〔産業上の利用分野〕

本発明はアクティブマトリクス型液晶表示パネルの外部回路への接続のための電極端子、とくに、スキャン電極端子の構造の改良に関する。

近年、液晶表示装置の改良普及にともない大容量化とカラー化への要請が強くなってきた。とくに、薄膜トランジスタをスイッチング素子として使用するアクティブマトリクス型液晶表示装置はその性能品質が優れ幅広いニーズが期待されており、今後ますます動作品質の安定化と長期の信頼性の向上が強く求められている。

## 〔従来の技術〕

第3図はアクティブマトリクス型液晶表示パネルの外観を示す斜視図である。図中、1はアクティブマトリクス基板で透明基板11の上に薄膜トランジスタ素子アレイが形成され、各素子には表示画素に対応して透明電極が配設されている。40および50は各薄膜トランジスタ素子のゲート電極およびドレイン電極が結合されたスキャン電極端子

され、その両側からデータ電極500に接続されるドレイン電極と、たとえば、ITO(In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>)からなる透明電極19に接続されるソース電極が配設され薄膜トランジスタが構成されている。その動作メカニズムは公知があるので説明は省略する。

第5図はデータ電極端子列の構成例を示す図で、同図(イ)は部分平面図、同図(ロ)は部分拡大図、同図(ハ)はA-A'断面図、同図(ニ)はB-B'断面図である。表示パネルの表示部を構成する薄膜トランジスタマトリクス配置部100の各端部にはスキャン電極端子列4とデータ電極端子列5が形成されている。通常、Aとなどからなるデータ電極500の下には透明電極、たとえば、ITO(In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>)膜が形成されており、その端末部であるデータ電極端子列5は断面図からわかるようにAなどからなるデータ電極500の先端部が除去されて透明電極からなるデータ電極端子50が露出されている。なお、11はガラスなどからなる透明基板、13a、13bはそれぞれSiO<sub>2</sub>、SiN<sub>x</sub>などからなる絶縁膜である。そして、透明電極からなるデータ

およびデータ電極端子であり、その上には配向膜12が設けられている。一方、2は共通電極基板で透明基板20の上に透明なベタ電極21と配向膜22が積層形成されている。両基板は配向膜面を中心にして狭い空間が形成されるように図示しないスペーサを挟み基板の周縁部を同じく図示しないシール材で密閉接着し、その空間に液晶3を注入封止してアクティブマトリクス型液晶表示パネルが構成されている。なお、本図は白黒表示用の場合であるが、これにカラーフィルタを付加すればカラー液晶表示パネルが構成される。

第4図は薄膜トランジスタの構成例を示す図で前記第3図で説明したアクティブマトリクス基板1の薄膜トランジスタ素子群の一部を概念的に拡大して示したものである。

図中、10は薄膜トランジスタで、スキャン電極400から張り出したゲート電極14、たとえば、Mo、Ta、Cr、Al、Cuなどの金属薄膜記録と図示しないゲート絶縁膜の上に動作半導体層15、たとえば、アモルファスシリコン膜( $\alpha$ -Si膜)が形成

電極端子50と外部回路との接続は、たとえば、異方性導電フィルムを用いてフレキシブル配線ケーブルの端子との接続により行っている。

一方、第6図は従来のスキャン電極端子列の構成例を示す図で、同図(イ)は部分平面図、同図(ロ)は部分拡大図、同図(ハ)はA-A'断面図、同図(ニ)はB-B'断面図である。なお、前記の諸図面で説明したものと同等の部分については同一符号を付し、かつ、同等部分についての説明は省略する。

この場合には、ゲート電極形成時に透明基板11の上にスキャン電極400およびその端末部分であるスキャン電極端子40(たとえば、Tiからなる下層40aとAなどからなる上層40bから構成されている)とが同時に形成され、薄膜トランジスタ素子アレイ形成工程中は、いわゆる、ゲート絶縁膜である絶縁膜13(たとえば、SiO<sub>2</sub>からなる下層13aとSiN<sub>x</sub>からなる上層13bから構成されている)がそれらの上に被覆されている。そして、アクティブマトリクス基板1の最終工程において、たとえば、

ケミカル・ドライ・エッティングなどによりスキャン電極端子列4の部分の絶縁膜13が除去されて各スキャン電極40を露出させる。そしてこのAl/Tiなどからなるスキャン電極40と外部回路との接続は、たとえば、異方性導電フィルムを用いてフレキシブル配線ケーブルの端子との接続によって行っている。

## 〔発明が解決しようとする課題〕

しかし、上記従来の電極端子列の形成に際し、アクティブマトリクス基板1の最終工程において、たとえば、CP<sub>x</sub>+O<sub>y</sub>の混合ガスなどによる絶縁膜13のケミカル・ドライ・エッティング処理を行う必要がある。このため、データ電極端子50は前記のごとくITO(In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>)膜からなるので、それらの処理で何ら悪影響を受けることがないが、スキャン電極端子40はAl/Ti膜の露出により形成されるため、その表面が酸化その他の変質や損傷を受け外部回路への接続のためのフレキシブル配線ケーブルの端子との接続強度が弱く、また、接続抵抗も大きくなっている。

## 〔作用〕

本発明によれば、スキャン電極端子40も絶縁膜13や、酸化物導電膜9、たとえば、ITO(In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>)膜で被われているのでケミカル・ドライ・エッティング処理により酸化などによる悪影響を受けることがなく、しかも、酸化物導電膜9とスキャン電極端子40とは絶縁膜13を貫通する導通路5によって接続されているので、外部回路への接続のためのフレキシブル配線ケーブルの端子との接続強度が高いだけでなく接続抵抗も小さくすることができる。

## 〔実施例〕

第1図は本発明の実施例を示す図で、同図(イ)は上面図、同図(ロ)はB-B'断面図、同図(ハ)はC-C'断面図、同図(ニ)はA-A'断面図である。

図中、4はスキャン電極端子列でスキャン信号を図示していない駆動回路から印加するための接続端子で、スキャン電極400の各端末に形成されて

抵抗も大きくなっている。アクティブマトリクス型液晶表示装置の品質・信頼性の低下を招くなどの重大な問題が生じており、その解決が求められていた。

## 〔課題を解決するための手段〕

上記の課題は、アクティブマトリクス基板1と共通電極基板2との間に形成された空間に液晶3を注入封止してなるアクティブマトリクス型液晶表示パネルにおいて、前記アクティブマトリクス基板1のスキャン電極端子列4の各スキャン電極端子40の上に絶縁膜13を介してそれぞれ独立した酸化物導電膜9を形成し、該酸化物導電膜9と前記スキャン電極端子40とを前記絶縁膜13を貫通する導通路5により接続したアクティブマトリクス型液晶表示パネルによって解決することができる。

具体的には、前記酸化物導電膜9をITO(In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>)膜で構成したり、前記導通路5をレーザ照射による前記酸化物導電膜9の溶融によって形成したアクティブマトリクス型液晶表示パネルにより効果的に解決することができる。

おり、各スキャン電極端子40の上に絶縁膜13を介してそれぞれ酸化物導電膜9を形成し、さらに、酸化物導電膜9とスキャン電極端子40とを絶縁膜13を貫通する導通路5によって接続したものである。図では導通路5はそれぞれ2箇所づゝ設けているが、場合により1箇所であっても、あるいは3箇所以上であってもよいことは言うまでもない。

なお、前記の諸図面で説明したものと同様の部分については同一符号を付し、かつ、同様部分についての説明は省略する。

この実施例図はアクティブマトリクス基板1の駆動電極端子列のうちスキャン電極側の端子列についてその構造を示したものであるが、データ電極側の端子列については従来と同様のITO(In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>)膜からなるデータ電極端子で構成したものをそのまま使用して本発明のアクティブマトリクス型液晶表示パネルを構成した。

このように導通路5を形成することによりスキャン電極端子40の上に絶縁膜13が介在していても、酸化物導電膜9に外部駆動回路を接続すれば液晶

表示パネルの駆動することができる。したがって、データ電極端子50およびスキャン電極端子40の両方ともに、たとえば、酸化物系の導電膜であるITO( $In_2O_3-SnO_2$ )膜で構成されているので、外部駆動回路へ接続する、たとえば、異方性導電フィルムを介してのフレキシブル配線ケーブルの端子との接続強度は高まり、かつ、接続抵抗も著しく低下した。

このようなスキャン電極端子列4を形成する具体的な方法の例を以下に図示説明する。

第2図は本発明実施例の製造工程の例を示す図で主な工程順に図示してある。なお、同図(イ)はスキャン電極端子列部分を、同図(ロ)は薄膜トランジスタ部分を示した。これは両者が同時に形成される部分が多くあり、それらの関係がよく理解されるようにするためにある。

工程(1)：透明基板11、たとえば、ガラス基板の上に、たとえば約80nmのTiと約100nmのAlなどを順次真空蒸着法により膜形成し、スキャン電極端子列領域にスキャン電極端子40(Ti膜からな

る40a部分とAl膜からなる40b部分の2層構造)と薄膜トランジスタ領域にゲート14(Ti膜からなる14a部分とAl膜からなる14b部分の2層構造)とを公知のホトリソグラフィ技術を用いて形成する。なお、その他のスキャン電極400の部分などは図示を省略してある(以下同様)。

工程(2)：上記処理基板の上に絶縁膜13として、たとえば、約100nmのSiO<sub>2</sub>膜13aと約200nmのSiN<sub>x</sub>膜13bとをプラズマCVD法で連続形成したあと、さらに、動作半導体層15、たとえば、厚さ15nmの $\alpha$ -Si膜と厚さ140nm程度のSiO<sub>2</sub>膜からなる保護層16をCVD法で形成する。

工程(3)：上記処理基板の薄膜トランジスタ領域に通常の公知の方法によって薄膜トランジスタ10を形成する。ここで17はコンタクト層で、たとえば、CVD法で形成された厚さ50nmの $n^+$  $\alpha$ -Si膜である。また、190および500は、たとえば、厚さ0.2μmのTi膜からなるソース電極およびドレイン電極で、ドレイン電極はデータ電極500の一部分を構成している。なお、スキャン電極端子

列領域の $\alpha$ -Si膜15とSiO<sub>2</sub>膜からなる保護層16は薄膜トランジスタ10形成工程の素子分離などの、たとえば、エッティング処理の際に同時に除去処理される。

工程(4)：上記処理基板の上に酸化物導電膜として、たとえば、透明導電膜である厚さ200nm程度のITO( $In_2O_3-SnO_2$ )膜をスパッタ法で形成する。その後で薄膜トランジスタ領域にはソース電極190に接続して表示画素部を形成する透明電極19を、また、スキャン電極端子列領域にはそれぞれのスキャン電極端子40の上方の絶縁膜13(13a, 13b)の上に独立した酸化物導電膜9が形成されるように通常のホトリソグラフィ技術を用いてパターン形成する。この時、図示しないがデータ電極500の下層を形成しデータ電極端子列5の各データ電極端子50を構成する同じくITO( $In_2O_3-SnO_2$ )膜によるデータライン側の電極パターンが同時形成される。

工程(5)：上記処理基板のスキャン電極端子列領域の各スキャン電極端子40の上方にそれぞれ独立

して形成された酸化物導電膜9、すなわち、ITO( $In_2O_3-SnO_2$ )膜にレーザ光、たとえば、ビーム径を数10μm以下に絞ったArレーザ光を照射する。

工程(6)：所定パワーのレーザ光を所定時間照射し、絶縁膜13(13a, 13b)を貫通して酸化物導電膜9を溶融固化させ、直徑数10μm程度の導通路5を形成すれば本発明のアクティブマトリクス型液晶表示パネルが作製される。

なお、上記工程では詳細説明は省略したが、データ電極側の端子列については従来と同様のITO( $In_2O_3-SnO_2$ )膜からなるデータ電極端子で構成したものをそのまま使用してよいことは既に述べた通りである。

また、酸化物導電膜9としてはITO( $In_2O_3-SnO_2$ )膜とは限らないが、この場合画素電極を構成する透明電極19と兼用して用いることにより、全体の工程数を削減できる利点がある。導通路5の形成もレーザ光照射以外の方法を用いてもよく、レーザ光を用いる場合もArレーザ以外の、たとえばYAGレーザなどを使用してもよいことは言うま

でもない。

## 〔発明の効果〕

以上説明したように、本発明によればスキャン電極端子40も絶縁膜13や、酸化物導電膜9、たとえば、ITO( $In_2O_3-SnO_2$ )膜で覆われているのでケミカル・ドライ・エッティング処理によって酸化などによる悪影響を受けることがなく、しかも、酸化物導電膜9とスキャン電極端子40とは絶縁膜13を貫通する導通路5で接続されているので、外部回路への接続のためのフレキシブル配線ケーブルの端子との接続強度が高いばかりでなく接続抵抗も小さくすることができる。さらに、酸化物導電膜9として耐候性電極を構成する透明電極19と同一材料膜を兼用して用いることにより工程が簡略化され、また、スキャン電極端子40を露出させるエッティング工程を省いているので、アクティブマトリクス型液晶表示パネルの品質・信頼性の向上と価格の低減に寄与するところが極めて大きい。

## 4. 図面の簡単な説明

第1図は本発明の実施例を示す図、

第2図は本発明実施例の製造工程の例を示す図、

第3図はアクティブマトリクス型液晶表示パネルの外観を示す斜視図、

第4図は薄膜トランジスタの構成例を示す図、

第5図はデータ電極端子列の構成例を示す図で、

第6図は従来のスキャン電極端子列の構成例を示す図である。

図において、

1 はアクティブマトリクス基板、

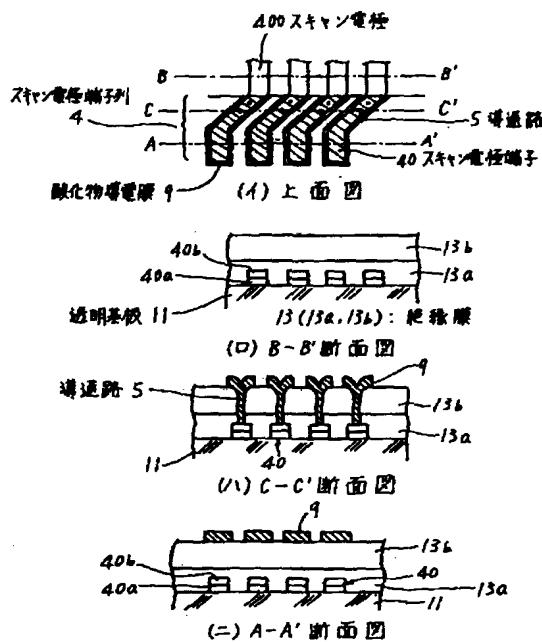
2 は共通電極基板、3 は液晶、

4 はスキャン電極端子列、5 は導通路、

9 は酸化物導電膜、10 は薄膜トランジスタ、

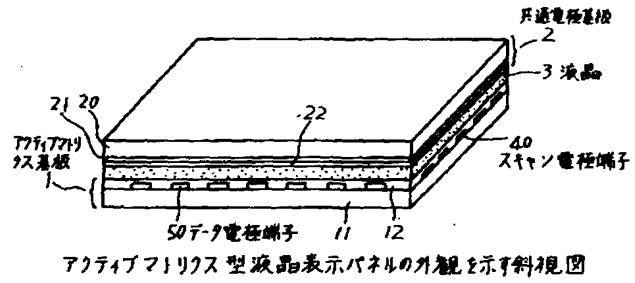
13(13a, 13b) は絶縁膜、14(14a, 14b) はゲート電極、15 は動作半導体層、16 は保護層、19 は透明電極、40(40a, 40b) はスキャン電極端子である。

代理人 弁理士 井桁 貞一



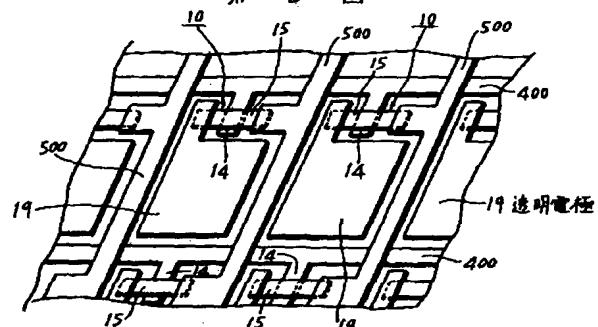
本発明の実施例を示す図

第1図



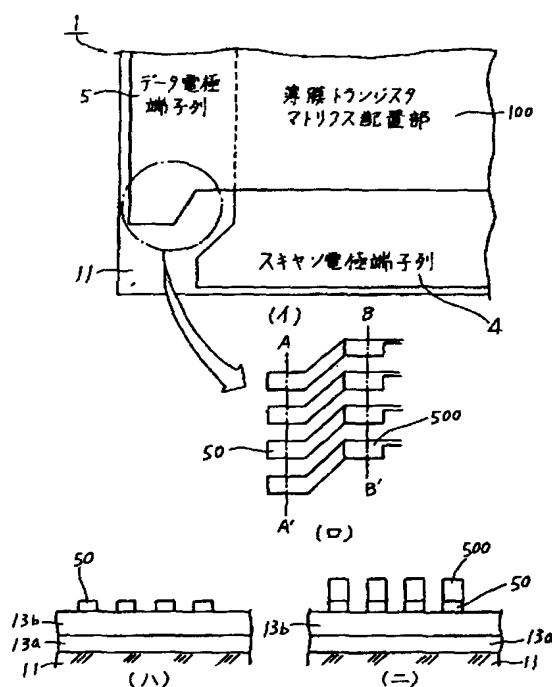
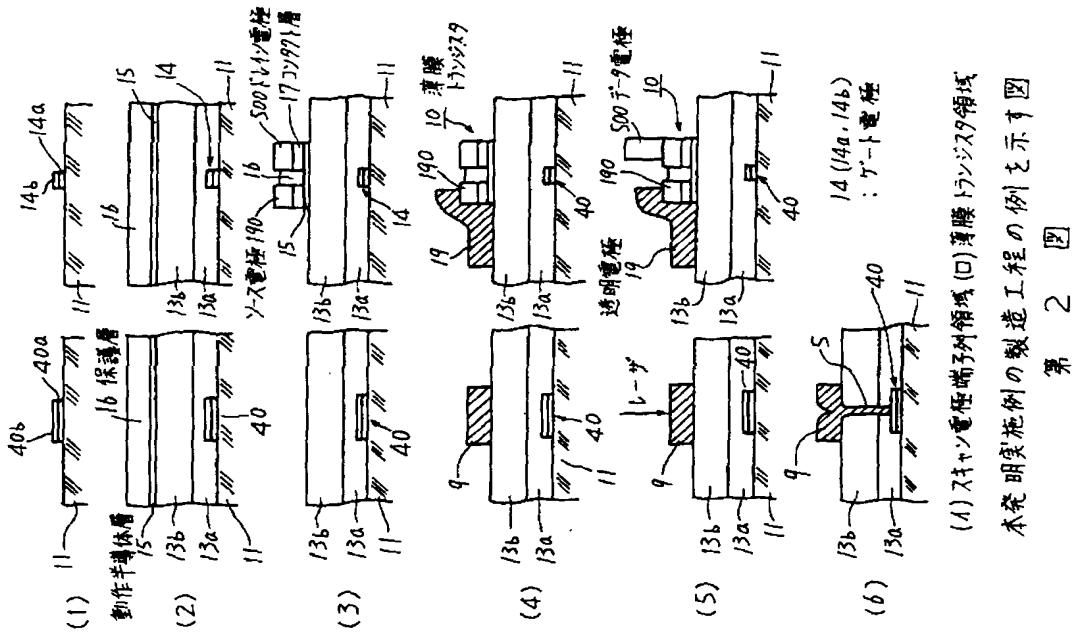
アクティブマトリクス型液晶表示パネルの外観を示す斜視図

第3図



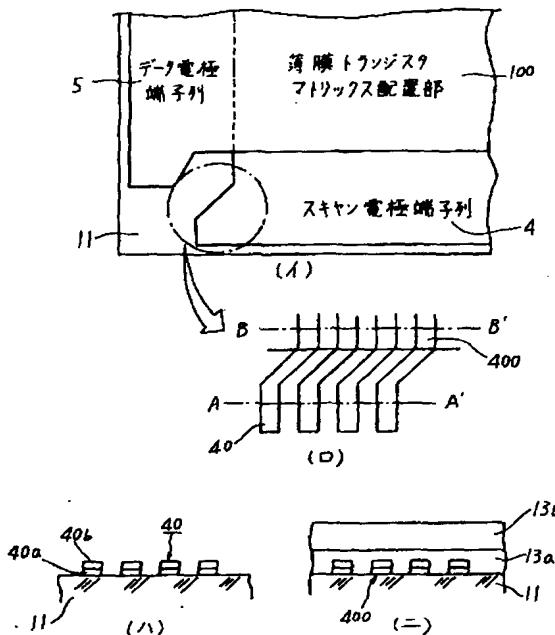
薄膜トランジスタの構成例を示す図

第4図



### データ電極端子列の構成例を示す図

第 5 四



従来のスキャン電極端子列の構成例を示す図

第 6 四

特開平4-172325(ア)

第1頁の続き

②発明者 渡辺 広 和 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内